sina-pub.ir

به حداقل رساندن مدارهای ترکیبی سه تایی CNTFET با استفاده از خنثی سازی تکنیک لیترال

چکیده یک طراحی چند-آستانه ای را می توان با استفاده از به کارگیری نانولوله های کربنی (CNTها) با قطرهای مختلف به دست آورد, زیرا ولتاژ آستانه ترانزیستور اثر میدانی نانولوله کربنی (CNTFET) بستگی به قطر CNT دارد. در این مقاله، این ویژگی برای طراحی مدارهای منطقی سه گانه به منظور دستیابی به عملکرد بهبود یافته مورد استفاده قرار می گیرد. ما طراحی جدیدی را برای مدارهای ترکیبی سه تایی مبتنی بر-CNTFET مانند نیمه جمع کننده، جمع کننده کامل، نیمه کم کننده، کم کننده کامل و مقایسه کننده با استفاده از خنثی سازی تکنیک لیترال ارائه می نماییم. نتایج گسترده شبیه سازی با استفاده از شبیه ساز Synopsis HSPICE نشان می دهد که استفاده از بهبود 5-145 برابری تکنیک جدید در محصول تاخیر توان را می توان با تعداد کاهش یافته گیت ها در مقایسه با طراحی گیت ترکیبی سه تایی-باینری موجود به دست آورد.

کلمات کلیدی جمع کننده · کایرالیته هاCNTFET · · مقایسه کننده · دیکدر (کدگشا). HSPICE · منطق چند-مقداری · محصول تاخیر توان · کم کننده · سه تایی

اختصارات

MVL منطق چند-مقداری

CNT نانولوله کربن

CNTFET ترانزیستور اثر میدانی نانولوله کربن

STI اینورتر ساده سه تایی

PTI اینورتر سه تایی مثبت

NTI اینورتر سه تایی منفی

FA جمع کننده کامل

sina-pub.ir

HA نیمه جمع کننده

PDP محصول تاخیر توان

1. مقدمه

منطق چند-مقداری, خصوصیات بولی کلاسیک متغیرها را با چند مقدار متناهی یا نامتناهی مانند منطق سه گانه [1] و یا منطق فازی جایگزین می کند، زیرا تعداد سیگنال های درگیر در ارتباطات را که موجب افزایش محتوای اطلاعات می شود کاهش می دهد و در نتیجه موجب کاهش پیچیدگی اتصالات داخلی و مساحت تراشه می شود [2-4]. هدف نهایی استفاده از منطق چند-مقداری بر منطق دودویی اینست که (I) مساحت تراشه را می توان با انتقال اطلاعات بیشتر MVL از طریق هر یک از سیم ها کاهش داد, (II) پیچیدگی مدار را می توان کاهش داد زیرا هر عنصر MVL می تواند اطلاعات بیشتری را نسبت به عنصر باینری پردازش نماید و (III) سرعت انتقال اطلاعات سریال می تواند سریع تر از زمان انتقال اطلاعات PU افزایش یابد. مدارهای سه تایی نسبت به دیگر منطق های MVL از اهمیت نظری برخوردار هستند زیرا (i) 3, ریشه کوچکتر بزرگتر از توابع دوتایی و سه تایی است و این مدارات دارای شکل و ساختار ساده تر هستند (ii) ضرب ریشه و تعداد سیگنال ها بر هزینه و پیچیدگی مدارهای MVL تاثیر دارد، مدارهای سه تایی مقرون به صرفه تر خواهند بود (iii) همان سخت افزار از منطق سه گانه متعادل (1، 0، -1) برای جمع و تفریق استفاده می شود، و (iv) 3 یک توان انتگرال از 2 نیست، تحقیق در مورد منطق سه گانه, تکنیک های طراحی را نشان می دهد که در مطالعه منطق باینری یا MVL دیگر نادیده گرفته شده اند.

با استفاده از منطق سه گانه، عملیات های محاسباتی موازی-سریال و سریال را می توان سریع تر انجام داد. در بسیاری از موارد، منطق MVL با منطق باینری ترکیب شده است تا عملکرد فن آوری های CMOS ارتقا یابد [5]. سه نوع از مدارات MVL, حالت-جریان، حالت-ولتاژ و حالت هیبرید و یا حالت ترکیبی هستند. چند مدارات MVL حالت-جریان ساخته شده اند که کارکردهای بهتر را در مقایسه با مدارهای باینری نشان داده اند [6-8]. اما مصرف توان مدارهای حالت-جریان با توجه به ماهیت ذاتی جریان ثابت آن در طول عملیات بالا است. مدارهای حالت ولتاژ تنها در طول سوئیچینگ سطح منطقی, یک جریان بزرگ را مصرف می کنند و در نتیجه مصرف برق کمتری دارند.

sina-pub.ir

طراحی منطق چند-مقداری به خودی خود در فناوری نانو برای سرعت بهبودهای توان مورد نیاز در سیستم های دیجیتال کافی نیست, در نتیجه دستگاه های جدید و مدارهای کشف شده برای جایگیزینی سیلیکون در ترانزیستورهای مقیاس نانو مورد بررسی قرار گرفته اند. در میان همه، CNTFET یک جایگزین امیدوارکننده برای دستگاه های معمولی است و دلیل آن توان کم و طراحی با کارایی بالا با توجه به حمل و نقل بالستیک و ویژگی های جریان خاموش آن می باشد [9-13]. طراحی چند-آستانه به اثرات بدنه ترانزیستور بستگی دارد که برای ولتاژهای بایاس متفاوت برای ترمینال بالک ترانزیستور اعمال می شود. زمانی که ولتاژ آستانه یک CNTFET توسط قطر CNT تعیین می شود, یک طراحی چند-آستانه را می توان با استفاده از نانولوله های کربنی با قطرهای مختلف در مدل CNTFET به دست آورد.

دامنه کاربرد این مقاله, پیاده سازی طراحی منطقی چند-مقداری جدید مبتنی بر CNTFETهای چند-آستانه برای کشف امکانات و مزایا در تحقق مدارهای CNTFET با کاهش T-گیت با استفاده از خنثی سازی روش لیترال ها می باشد. در این مقاله، طراحی جدید برای مدارهای ترکیبی CNTFET پیشنهاد، توصیف و ارزیابی شده است. نتایج شبیه سازی گسترده با استفاده از شبیه ساز HSPICE Synopsys, مزایای قابل توجهی از طرح پیشنهادی را از نظر سرعت و مصرف برق در مقایسه با طراحی منطقی چند-مقداری موجود نشان می دهد.

2. عملیات منطق سه تایی

برای حفظ رشد نمایی Moore، صنعت IC باید بسیاری از مشکلات و مهم تر از همه مشکل اتصال داخلی، بر روی تراشه و بین تراشه ها را حل کند. دلیل این کار, بزرگتر بودن مساحت سیلیکون مورد استفاده برای اتصالات داخلی است [3]. یکی از بهترین راه حل ها برای این مشکلات اتصال داخلی, استفاده از مدارات با بیش از دو سطح است. اگر یک مقدار سوم برای تابع منطق باینری معرفی شود، حاصل, تابع منطق سه گانه است. با استفاده از منطق سه گانه، سادگی و بهره وری انرژی در طراحی دیجیتال می تواند به دست آید, زیرا پیچیدگی اتصالات داخلی و مساحت تراشه و به نوبه خود تاخیر توان را کاهش می دهد. استفاده بهتر از کانال های انتقال را می توان به دلیل محتوای اطلاعات بالاتر حمل شده توسط هر خط به دست آورد. با استفاده از منطق سه گانه، عملیات های محاسباتی موازی-

sina-pub.ir

سریال و سریال را می توان سریع تر انجام داد. 0، 1 و 2 را مقادیر سه تایی برای نشان دادن شرایط نادرست ، تعریف نشده و درست در نظر بگیرید. هر تابع سه تایی f (x) از متغیر $(X_1, X_2 \ldots X_n)$ به عنوان یک نگاشت تابع منطقی $\{0, 1, 2\}^n$ به $\{0, 1, 2\}$ تعریف می شود. عملیات های پایه منطق سه گانه را می توان به صورت زیر تعریف نمود:

$$X_i + X_j = \max\{X_i, X_j\} \quad (1)$$
$$X_i \bullet X_j = \min\{X_i, X_j\} \quad (2)$$
$$\overline{X_i} = 2 - X_i \quad (3)$$

گیت های منطقی سه تایی پایه با توجه به قرارداد تعریف شده توسط معادلات (1-3) طراحی شده است. در منطق سه گانه، 3^n توابع معین و 3^{3^n} ترکیب وجود دارند، که در آن n یک متغیر است. هنگامی که n = 1، ما باید توابع یک متغیره f (x) را داشته باشیم و $3^{3^1} = 27$ توابع معین به نام لیترال وجود دارند. اگر n = 2، $3^{3^2} = 19,683$ دو تابع متغیر وجود دارند و اگر n = 3، $3^{3^3} = 7,625,597,484,987$ سه تابع متغیر وجود دارد. لیترال توسط $X_i^{a_i}$ نشان داده می شود که در آن $a_i = 0, 1, 2, 01, 02$ و 12 به شرح زیر تعریف می شوند،

$$X_i = \begin{cases} 0 & \text{if } X \neq i \\ 2 & \text{if } X = i \end{cases} \quad \text{where} \quad i = 0, 1 \,\&\, 2 \quad (4)$$
$$X_{01} = X_0 + X_1 \quad (5)$$
$$X_{12} = X_1 + X_2 \quad (6)$$
$$X_{02} = X_0 + X_2 \quad (7)$$
$$X_{01} \bullet X_{12} = X_1 \quad (8)$$
$$X_{01} \bullet X_{02} = X_0 \quad (9)$$
$$X_{02} \bullet X_{12} = X_2 \quad (10)$$
$$X_0 + X_1 + X_2 = 2 \quad (11)$$

sina-pub.ir

در هر مدار VLSI، 70٪ از مساحت به اتصال داخلی، 20٪ به عایق و 10٪ به ادوات اختصاص داده می شود [14]. این مقاله به طور عمده بر به حداقل رساندن ارائه ها از توابع منطقی ترکیبی با تعداد کاهش یافته از ادوات با استفاده از خنثی سازی رویکرد لیترال متمرکز شده است. مکمل و یا خنثی سازی لیترال ها (Xi), معادلات(14-18) مشاهده شده زیر را ارائه می دهد که در کاهش گیت های سه تایی در طول پیاده سازی مفید هستند و در نتیجه محصول تاخیر توان می تواند به طور قابل ملاحظه ای کاهش یابد و به شرح زیر تعریف می شود

$$\mathrm{COM}(X_i) \text{ or } \mathrm{NEG}(X_i) = X_i = \begin{cases} 0 & \text{if } X = i \\ 2 & \text{if } X \neq i \end{cases} \quad (12)$$

$$X_2 = \overline{X_{01}} \ \& \ X_{01} = \overline{X_2} \quad (13)$$

$$X_1 = \overline{X_{02}} \ \& \ X_{02} = \overline{X_1} \quad (14)$$

$$X_2 = \overline{X_{01}} \ \& \ X_{01} = \overline{X_0} \quad (15)$$

$$\overline{0} = 2 \ \& \ \overline{2} = 0 \quad (16)$$

برای ولتاژ تغذیه 0.9 ولت، سه سطح از سیستم سه تایی بدین صورت تعریف می شود: منطق 0- پتانسیل زمین، منطق 1-0.45 ولت و منطق 2-0.9 ولت.

3 ترانزیستور نانولوله ای کربنی اثر میدانی

نانولوله های کربنی (CNT) در سال 1991 توسط Iijima, S.، به صورت لوله های دارای یک ساختار استوانه ای تشکیل شده توسط یک یا چند لایه کریستالی متحد المرکز از اتم های کربن در یک آرایش شبکه شانه عسل [15،16] کشف شد. بر اساس تعداد لایه های متحدالمرکز از اتم های کربن، در صورتی CNT ها به CNT تک دیواره (SWCNT) طبقه بندی می شوند که یک لایه وجود دارد و CNT چند جداره (MWCNT) هستند اگر دو یا چند لایه حاضر [17] باشند. در MWCNT، پوسته متحدالمرکز ممکن است در کایرال خود متغیر باشد و ممکن است شامل هر دو لوله های فلزی و نیمه هادی باشد که در آن پوسته فلزی بعضی از خواص نیمه هادی را خنثی سازی می نماید. در نتیجه، تعداد لایه ها و ویژگی های فیزیکی به سختی قابل کنترل [18] هستند که این ویژگی منجر به استفاده محدود در علم الکترونیک شده است. در SWCNT، هر چند محققان با تعدادی از مشکلات در

sina-pub.ir

تولید آن با ویژگی های مورد نیاز مواجه هستند، علاقه علمی زیادی به دلیل ویژگی های منحصر به فرد آن [19] جلب شده است. از نظر هدایت الکتریکی، SWCNT می توانند با توجه به تعداد کایرال خود (N1، N2) که شکل موقعیت اتم های کربن در طول CNT را تعریف می کند, به صورت فلزی با باندگپ صفر یا نیمه هادی با باندگپ محدود باشند. طراحان مدار الکترونیکی از SWCNT نیمه هادی به عنوان کانال ترانزیستور نانولوله های کربنی اثر میدانی (CNTFET) استفاده می کنند که اولین بار توسط .Tans et al در سال 1998 [20] ساخته شد.

مشخصات جریان-ولتاژ (I-V) CNTFET شبیه به مشخصات MOSFET [21] می باشد. مانند MOSFETs ، CNTFET ها نیز دستگاه هایی از نوع N و نوع P هستند. استفاده از CNTFET ها نسبت به MOSFETs اینست که CNTFETs نوع P و نوع N با همان اندازه دستگاه دارای تحرک یکسان هستند که بدین ترتیب, فرآیند مقیاس بندی ترانزیستور، به خصوص در مدارهای پیچیده با استفاده از تعداد زیاد ترانزیستورها ساده می شود. علاوه بر این، مدارهای طراحی شده با استفاده CNTFET ها سریع تر هستند و مصرف برق را به طور متوسط در مقایسه با طرح های مبتنی بر MOSFET [23،22] کاهش می دهد. یکی دیگر از مزیت های بزرگ CNTFET نسبت به MOSFET اینست که ولتاژ آستانه CNTFET توسط قطر مناسب نانولوله های کربنی مورد استفاده تعیین می شود. این باعث می شود CNTFET انعطاف پذیرتر از MOSFET برای طراحی مدار دیجیتال شود. زمانی که ولتاژ آستانه (ولتاژ مورد نیاز برای روشن شدن ترانزیستور) از CNTFET توسط قطر CNT تعیین می شود، یک طراحی چند-آستانه را می توان با استفاده از نانولوله های کربنی با قطرهای مختلف به دست آورد. قطر CNT را می توان به صورت زیر محاسبه نمود:

$$D_{CNT} = \frac{\sqrt{3}a_o}{\pi}\sqrt{n_1^2 + n_1 n_2 + n_2^2} \qquad (17)$$

که در آن $a_o = 0.144$ نانومتر، فاصله بین اتمی و ولتاژ آستانه CNT ذاتی به صورت زیر نشان داده می شود

$$V_{th} = \frac{\sqrt{3}}{3}\frac{aV_\pi}{eD_{CNT}} \qquad (18)$$

sina-pub.ir

که در آن $a = 2.49$ A, اتمی فاصله کربن تا کربن، $V_\pi = 3.033$ eV , انرژی پیوند کربن π-π در مدل اتصال تنگ است و e بار واحد الکترون است. بنابراین، ولتاژ آستانه CNT به طور معکوس متناسب با قطر CNT و به نوبه خود، بردار کایرال است. کایرالیته های CNTs مورد استفاده برای مدل سازی CNTFET ها برای مدارهای منطقی سه تایی, (19، 0)، (13، 0) و (10، 0) با قطر 1.487، 0.783 و 1.018 نانومتر هستند که ولتاژهای آستانه به ترتیب 0.293، 0.428 و 0.557 V هستند. در این مقاله، ما از طراحی مبتنی بر-CNTFET-چند قطری برای پیاده سازی مدارهای ترکیبی سه تایی استفاده می نماییم.

4 پیاده سازی سطح مدار منطق سه گانه

یک مدل SPICE فشرده از جمله غیر ایده آل ها, برای شبیه سازی استفاده می شود که برای مدارهای مبتنی بر CNTFET تک قطبی، MOSFET-مانند طراحی شده است که همچنین اثرات سد شاتکی، پارازیت، از جمله CNT، مقاومت های سورس / درین و گیت و خازن ها و اثرات غربالگری بار CNT را در نظر می گیرد. جدول 1 پارامترهای مدل CNTFET مورد استفاده برای طراحی مدارات سه گانه و مقادیر آنها را با شرح مختصری نشان می دهد.

شبیه ساز HSPICE برای شبیه سازی مدارهای ترکیبی مبتنی بر منطق سه تایی، مانند نیم جمع کننده، جمع کننده کامل، نیمه کم کننده، کم کننده کامل و مقایسه کننده استفاده شده است. ولتاژهای آستانه CNTFET مورد استفاده در مدارها در جدول 2 نشان داده شده است.

4.1 گیت های سه تایی یا گیت های-T

یک شبکه CNTFET مکمل را می توان برای طراحی مدارهای منطقی سه تایی برای دستیابی به عملکرد خوب و مصرف انرژی کمتر، و همچنین برای جلوگیری از استفاده از مقاومت زیادی در مدارهایی که ممکن است به اتلاف توان بالا منجر شود استفاده نمود. در نهایت، اندازه و مساحت را می توان با اجتناب از مقاومت های بزرگ کاهش داد.

sina-pub.ir

گیت های بنیادی در طراحی سیستم های دیجیتال, اینورتر، گیت NOR، NAND و گیت هستند. شکل 1 نمادهای گیت های سه تایی را نشان می دهد. تابع اولیه NAND و NOR گیت سه تایی [24] به شرح زیر تعریف می شود:

$$Y_{NAND} = \overline{\text{Min}\{X_1, X_2\}} \quad (19)$$

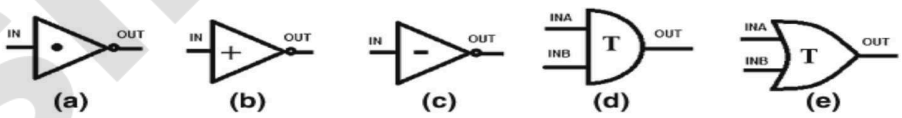
$$Y_{NOR} = \overline{\text{Max}\{X_1, X_2\}} \quad (20)$$

جدول 1 پارامترهای مدل CNTFET

پارامتر	توصیف	مقدار
L_{ch}	طول کانال فیزیکی	32 nm
L_{geff}	مسیر آزاد میانگین در کانال ذاتی CNT	100 nm
L_{ss}	طول ناحیه گسترش جانبی منبع CNT دوپ شده	32 nm
L_{dd}	طول ناحیه گسترش جانبی درین CNT دوپ شده	32 nm
K_{gate}	ثابت دی الکتریک ماده دی الکتریکی گیت بالایی با k بالا	16
n_1, n_2	کایرالیته لوله	19, 0
T_{ox}	ضخامت ماده دی الکتریک گیت بالایی با k بالا	4 nm
C_{sub}	ظرفیت تزویج بین ناحیه کانال و زیرلایه	20 pF/m
K_{ox}	ثابت دلی الکتریکی گیت (HfO2)	16
V_{DD}	ولتاژ منبع	1 V
E_f	سطح فرمی لوله دوپ شده S/D	0.6 eV
H_{ox}	ضخامت دی الکتریک گیت بین مرکز SWCNT و گیت	4 nm

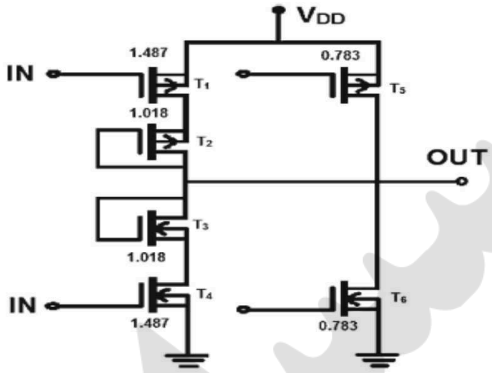
جدول 2 ولتاژ آستانه CNT با کایرالیته های مختلف

Chirality (n_1, n_2)	Diameter (nm)	Threshold voltage (V)
(19, 0)	1.487	0.293
(10, 0)	0.783	0.557
(13, 0)	1.018	0.428



sina-pub.ir

شکل. 1 نمادی از یک **a** STI **b** PTI **c** NTI **d** TNAND **e** TNOR



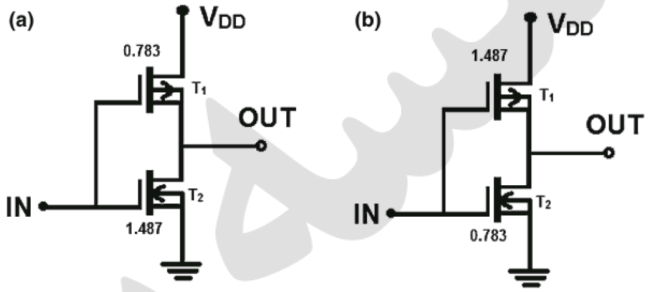
شکل. 2 ساختار STI

سه اینورتر در سیستم های اینورتر سه تایی وجود دارند که STI (اینورتر سه تایی استاندارد)، PTI (اینورتر مثبت سه تایی) و NTI (منفی سه تایی اینورتر) هستند [4]. در مرحله اول، طراحی منطقی اینورتر سه تایی مبتنی بر-CNTFET- توسط Raychowdhury و همکاران پیشنهاد شده است [25] که متشکل از دو CNTFET ها با پول-آپ های مقاومتی می باشد. مقادیر دو مقاومت مورد استفاده (معمولا $100\ M\Omega$ یا بیشتر) بیش از حد بزرگ هستند تا در فن آوری CNTFET مجتمع شوند.

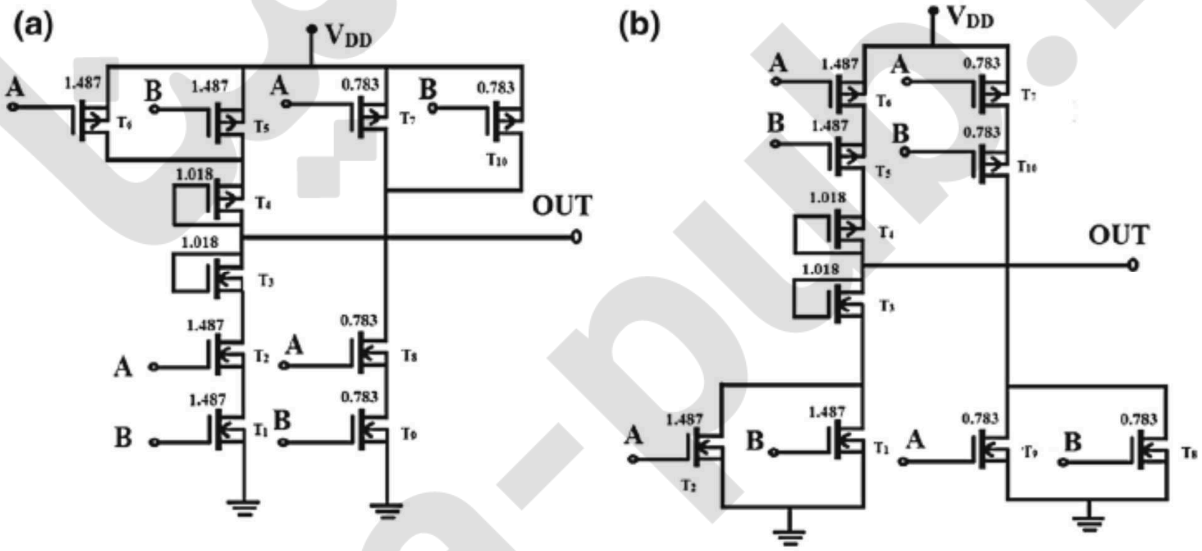
طرح شماتیک STI مبتنی بر-CNTFET (اینورتر سه تایی ساده) در شکل 2نشان داده شده است. این طرح شامل 3 NCNTFETs و 3 PCNTFETs می شود. کایرالیته های CNTs مورد استفاده در T3، T4، و T6 به ترتیب (13، 0)، (19، 0) و (10، 0) هستند. از معادله (1)، قطرهای T3، T4، و T6, 1.018، 1.487 و 0.783 نانومتر هستند. بنابراین از معادله (2)، ولتاژ آستانه T3، T4، و T6 به ترتیب 0.428، 0.293 و 0.559 V بودند. به طور مشابه، ولتاژهای آستانه T1، T2 و T5, به ترتیب 0.293-، 0.428- و -0.559 V هستند. هنگامی که تغییرات ولتاژ ورودی از پایین به بالا در ولتاژ تامین 0.9 ولت است، در ابتدا ولتاژ ورودی کمتر از 300 میلی ولت است که هر دوی T1، T5 را روشن می کند و T4، T6 را خاموش می کند و در نتیجه ولتاژ خروجی, 0.9 V (منطق 2) است. هنگامی که ولتاژ ورودی، فراتر از 300 میلی ولت افزایش یابد، T5 خاموش می شود ، T1 روشن می شود ، T4 روشن می شود و T6 خاموش می شود. CNTFET های متصل شده- دیودی T2 و T3, افت ولتاژ 0.45 V را

sina-pub.ir

(منطق 1) از (اتصال T1-T2) گره 1 به خروجی، و از خروجی به گره 2 (اتصال T3-T4) با توجه به ولتاژ آستانه T2 و T3 تولید می کند و در نتیجه ولتاژ خروجی 0.45 V می شود. هنگامی که ولتاژ ورودی بیش از 0.6 V می شود، هر دوی T1 و T5 خاموش می شوند و T6 برای کشیدن, روشن می شود و ولتاژ خروجی, صفر می شود.



شکل. 3 ساختار یک PTI **b** NTI



شکل. 4 ساختار یک گیت TNAND 2 ورودی. ، گیت TNOR **b**

شکل 3a, شماتیک CNTFET NTI را نشان می دهد. ولتاژ آستانه T1 , 0.293 V است و T2 , 0.557 V- است. هنگامی که ولتاژ ورودی کمتر از 0.3 V (منطق 0) است، خروجی, 0.9 V. است. زمانی که ورودی بالاتر از 0.3 V افزایش می یابد، T1 خاموش و T2 روشن است و ولتاژ خروجی صفر خواهد بود. شکل 3b, شماتیک CNTFET PTI

sina-pub.ir

را نشان می دهد. ولتاژ آستانه T1 , 0.557 V است و T2 0.293 – ولت است. هنگامی که ولتاژ ورودی بیشتر از 0.6 V است، خروجی صفر است.

تحقق مدار گیت های NAND و NOR سه تایی به 5 N-CNTFET ها و 5 P-CNTFET ها نیاز دارد همانطور که در شکل 4a نشان داده شده است. کایرالیته CNT مورد استفاده برای ترانزیستورها, T1، T2، T5، T6 (19، 0)، برای T3، T4, (13، 0) و برای T7، T8، T9، T10 (10، 0) است. قطر CNT مورد استفاده برای T1، T2، T5، T6 , 1.487 است، برای T3، T4 , 1.018 است و برای T7، T8، T9، T10 , 0.783 است. ولتاژ آستانه برای T1، T2، T5، T6 , 0.293 V است، برای T3، T4 , 0.428 V است و برای T7، T8، T9، T10 , 0.557 V . است

گیت های سه تایی ارائه شده در این بخش را می توان برای طراحی بر اساس مدارهای ترکیبی و محاسباتی CNTFET استفاده نمود.

4.2 دیکدر سه تایی (کدگشا)

یک دیکدر (کدگشا) سه تایی, یک مدار ترکیبی تک-ورودی سه خروجی است که توابع یگانی (X0، X1، X2) برای ورودی X را تولید می کند که به صورت زیر نشان داده می شود

$$X_0 = \begin{cases} 2 & \text{if } X = 0 \\ 0 & \text{if } X \neq 0 \end{cases} \quad (21)$$

$$X_1 = 2 - X \quad (22)$$

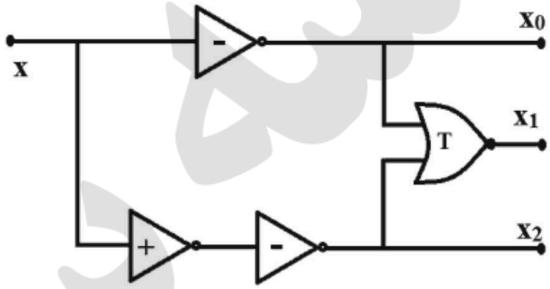
$$X_2 = \begin{cases} 2 & \text{if } X \neq 2 \\ 0 & \text{if } X = 2 \end{cases} \quad (23)$$

معادلات (21) - (23) را می توان به ترتیب با استفاده NTI، STI و PTI عملی نمود. در این مقاله، مدار دیکدر (کدگشا) سه تایی با استفاده از یک گیت PTI، دو گیت NTI و یک گیت NOR ساخته می شود همانطور که در شکل 5نشان داده شده است.

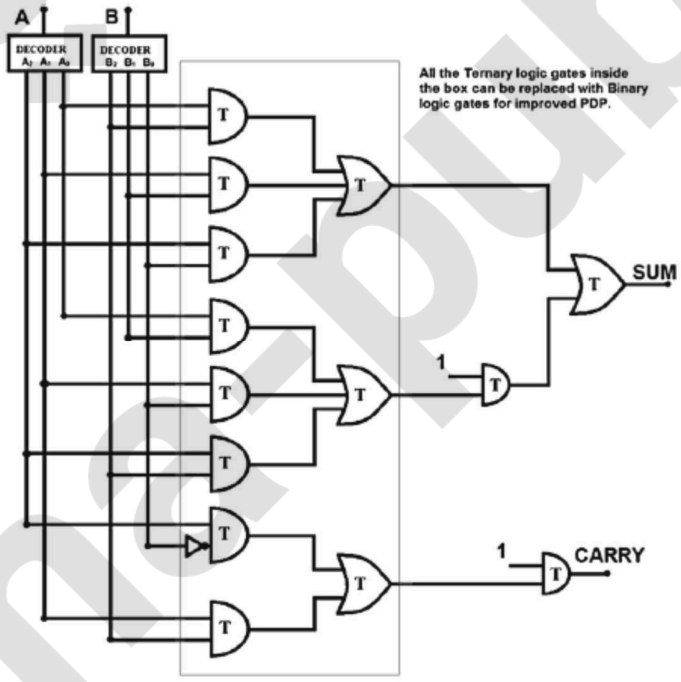
sina-pub.ir

4.3 نیمه جمع کننده سه تایی

در منطق سه گانه، زمانی که هر سیگنال دارای سه مقدار متمایز است، تعداد ارقام مورد نیاز log32 بار کمتر از رقم های مورد نیاز در منطق دودویی است که منجر به کاهش تعداد مراحل محاسبات می شود. برای مثال، اگر ما یک جمع کننده دودویی n بیتی را در نظر بگیریم، آنگاه جمع کننده سه تایی معادل دارای log32N رقم خواهد بود.



شکل. 5 مدار دیکدر (کدگشا) سه تایی



شکل. 6 ساختار نیمه جمع کننده سه تایی

sina-pub.ir

نیم جمع کننده سه تایی، یک مدار ترکیبی است که دو بیت را می افزاید و جمع و بیت نقلی را تولید می کند که معادلات خروجی به صورت زیر خواهد شد

$$\text{SUM} = A_0B_2 + A_1B_1 + A_2B_0 + 1.(A_0B_1 + A_1B_0 + A_2B_2) \quad (24)$$

$$\text{CARRY} = 1 \cdot (A_2B_1 + A_1B_2 + A_2B_2) \quad (25)$$

$$\text{CARRY} = 1 \cdot (A_2[B_1 + B_2] + A_1B_2) \quad (26)$$

با استفاده از خنثی سازی روش لیترال و معادلات مورد بحث در بخش. 2، معادله برای حمل به معادله زیر کاهش می یابد

$$\text{CARRY} = 1 \cdot (A_2B_{12} + A_1B_2) = 1 \cdot (A_2\overline{B_0} + A_1B_2) \quad (27)$$

توابع نیمه جمع کننده با استفاده از دیکدرهای سه گانه و گیت های منطق سه گانه متوجه تحقق می یابند همانطور که در شکل 6نشان داده شده است.. در اینجا، A و B، ورودی ها هستند و SUM و CARRY خروجی می باشند. دو رمزگشاها, سیگنال های خروجی یگانی مورد نیاز را برای ورودی A و B تولید می کنند، در حالی که گیت های منطقی AND و OR, توابع داده شده توسط معادلات (24) و (27) را محاسبه می نمایند. تعداد گیت های مورد نیاز برای مدار نیمه جمع کننده سه تایی معمولی 14 است در حالی که برای خنثی سازی استفاده پیشنهادی, 12 است.

4.4 سه تایی تمام جمع کننده

جمع کننده کامل سه تایی، یک مدار ترکیبی است که سه بیت را می افزاید و sum و carry را تولید می کند که معادلات خروجی آن به صورت زیر هستند

$$\begin{aligned}\text{SUM} = {} & C_0[A_2B_0 + A_1B_1 + A_0B_2] + C_1[A_1B_0 + A_0B_1 \\ & + A_2B_2] + C_2[A_0B_0 + A_2B_1 + A_1B_2] + 1 \cdot \{C_0 \\ & [A_1B_0 + A_0B_1 + A_2B_2] + C_1[A_0B_0 + A_2B_1 \\ & + A_1B_2] + C_2[A_2B_0 + A_1B_1 + A_0B_2]\} \end{aligned} \quad (28)$$

$$\begin{aligned}\text{CARRY} = {} & A_2B_2C_2 + 1 \cdot \{C_0[A_1B_2 + A_2B_1 + A_2B_2] \\ & + C_1[A_1B_1 + A_2 + B_2] + C_2[A_1 + A_2 + B_1 \\ & + B_2]\} \end{aligned} \quad (29)$$

sina-pub.ir

با استفاده از خنثی سازی روش لیترال ها، معادله برای carry به معادله زیر کاهش می یابد

$$\begin{aligned}\text{CARRY} &= A_2B_2C_2 + 1 \cdot \{A_{12}B_2C_0 + A_2B_1C_0 \\ &\quad + A_1B_1C_1 + A_2C_{12} + B_2C_{12} + A_1C_2 + B_1C_2\} \\ &= A_2B_2C_2 + 1 \cdot \{\overline{A_0}B_2C_0 + A_2B_1C_0 \\ &\quad + A_1B_1C_1 + A_2\overline{C_0} + B_2\overline{C_0} + A_1C_2 + B_1C_2\}\end{aligned} \tag{30}$$

توابع تمام جمع کننده با استفاده از دیکدرهای سه گانه و گیت های منطق سه گانه تحقق می یابند همانطور که در شکل 7نشان داده شده است. در اینجا، A، B و C ورودی ها هستند، و SUM و CARRY خروجی می باشند. تعداد گیت های مورد نیاز برای مدار تمام جمع کننده سه تایی معمولی, 41 است در حالی که برای استفاده از خنثی سازی پیشنهادی, 37 است.

4.5 نیمه کم کننده سه تایی

نیمه کم کننده سه تایی نشان داده شده در شکل 8 یک مدار ترکیبی است که یک بیت را از دیگری کم می کند و تفاوت و borrow را تولید می کند که معادلات خروجی به صورت زیر است

$$\text{DIFF} = A_0B_1 + A_1B_2 + A_2B_0 + 1 \cdot \{A_1B_0 + A_2B_1 + A_0B_2\} \tag{31}$$

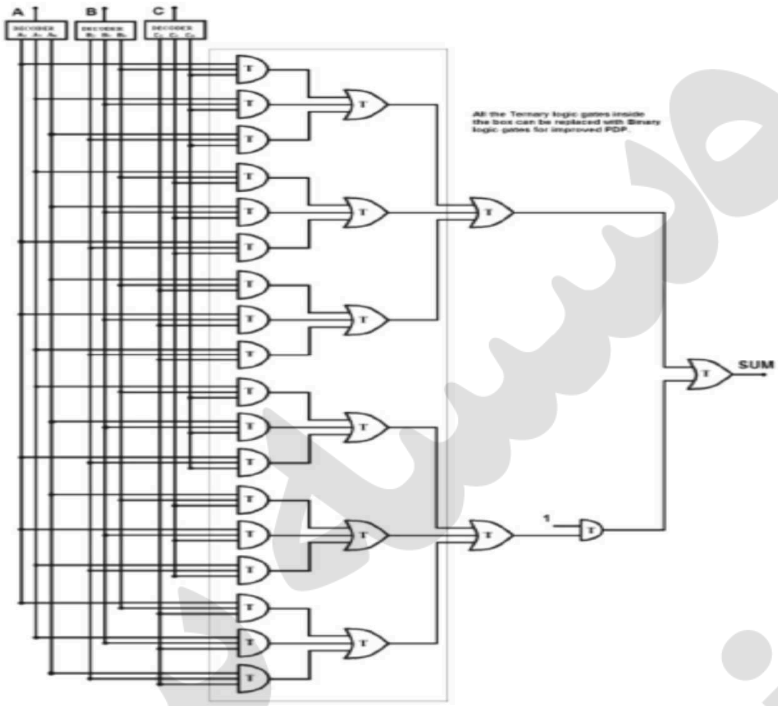
$$\text{BORROW} = 1 \cdot \{A_0B_1 + A_0B_2 + A_1B_2\} \tag{32}$$

با استفاده از خنثی سازی روش لیترال ها، معادله برای Borrow به صورت زیر کاهش می یابد

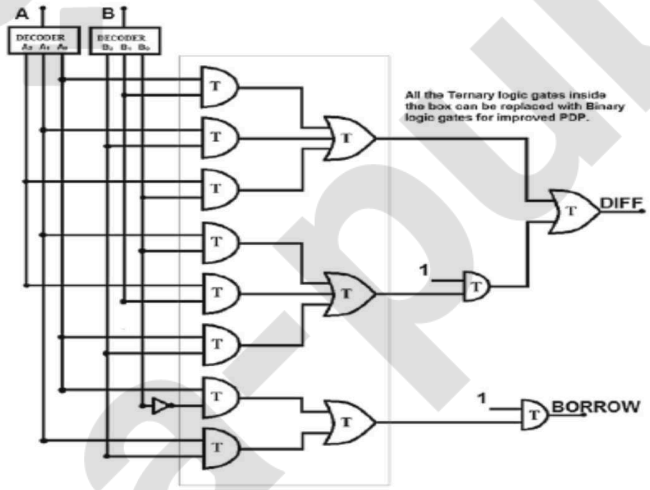
$$\text{BORROW} = 1 \cdot \{A_0\overline{B_0} + A_1B_2\} \tag{33}$$

تعداد گیت های مورد نیاز برای مدار نیمه کم کننده سه تایی معمولی, 14 است در حالی که برای استفاده از خنثی سازی پیشنهادی, 12 است.

sina-pub.ir



شکل. 7 ساختار تمام جمع کننده سه تایی برای sum و carry



شکل. 8 ساختار نیمه کم کننده سه تایی

4.6 سه تایی کامل کم کننده

کم کننده کامل سه تایی نشان داده شده در شکل 9, یک مدار ترکیبی است کم یک بیت را از دیگری کم می کند و difference و borrow را تولید می کند که معادلات خروجی آن به صورت زیر خواهد بود

sina-pub.ir

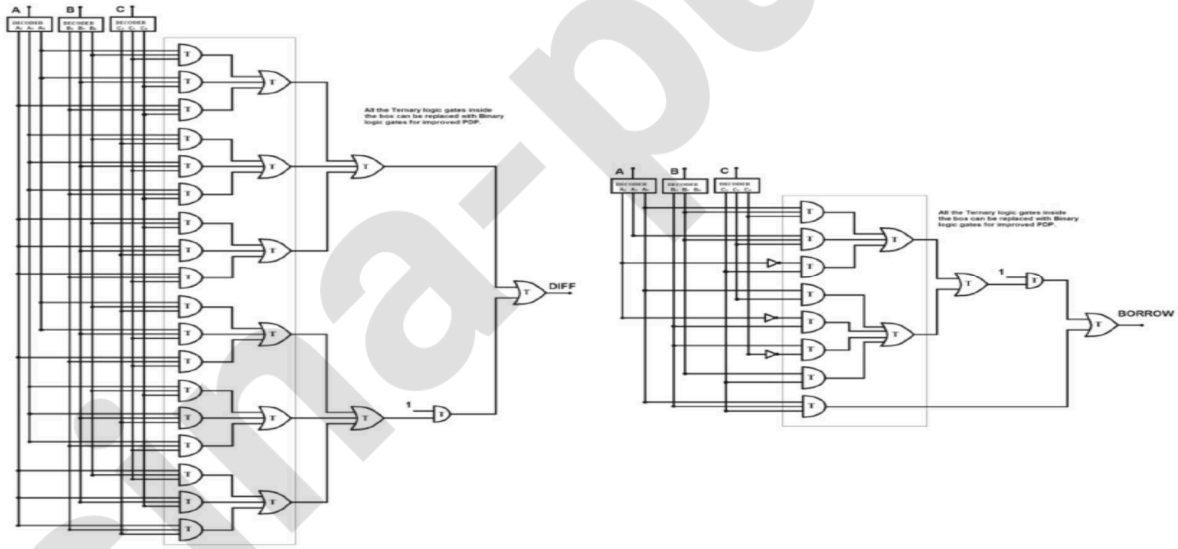
$$\begin{aligned}\text{DIFF} = {} & A_0B_0C_1 + A_0B_1C_0 + A_2B_2C_0 \\ & + A_1B_0C_2 + A_1B_1C_1 + A_1B_2C_0 \\ & + A_2B_0C_0 + A_2B_1C_2 + A_2B_2C_1 \\ & + 1 \cdot \{A_0B_0C_2 + A_0B_1C_1 + A_2B_2C_1 \\ & + A_1B_0C_0 + A_1B_1C_2 \\ & + A_1B_2C_1 + A_2B_0C_1 + A_2B_1C_0 + A_2B_2C_2\} \quad (34)\end{aligned}$$

$$\begin{aligned}\text{BORROW} = {} & A_0B_2C_2 + 1 \cdot \{A_0C_2 + A_1C_2 + A_0C_1 \\ & + A_0B_2 + A_1B_2 + B_2C_1 + B_2C_2 + B_1C_2 \\ & + A_0B_1C_0 + A_1B_1C_1\} \quad (35)\end{aligned}$$

با استفاده از روش خنثی سازی، معادله برای borrow به صورت زیر کاهش می یابد

$$\begin{aligned}\text{BORROW} = {} & A_0B_2C_2 + 1 \cdot \{A_{01}C_2 + A_0C_1 + A_{01}B_2 \\ & + B_2C_{12} + B_1C_2 + A_0B_1C_0 + A_1B_1C_1\} \\ = {} & A_0B_2C_2 + 1 \cdot \{\overline{A_2}C_2 + A_0C_1 + \overline{A_2}B_2 \\ & + B_2\overline{C_0} + B_1C_2 + A_0B_1C_0 + A_1B_1C_1\}\end{aligned} \quad (36)$$

تعداد گیت های مورد نیاز برای سه تایی مدار کم کننده کامل معمولی, 41 است در حالی که برای استفاده از خنثی سازی پیشنهادی, 37 است.



شکل. 9 ساختار کم کننده کامل سه تایی برای difference و borrow

sina-pub.ir

4.7 مقایسه کننده دودویی 2 بیتی

یک مقایسه کننده دامنه سه تایی, یک مدار ترکیبی است که دو بیت A و B را مقایسه می کند و مقادیر نسبی آنها را تعیین می کند. مقایسه کننده دو بیت، یک عملیات است که تعیین می کند آیا یک عدد بیشتر از، کمتر از یا برابر با عدد دیگر است. تحقق مدار مقایسه کننده کننده سه تایی در شکل A-C10 نشان داده شده است.

4.7.1 سه تایی برابری مقایسه کننده

یک مقایسه کننده برابری سه تایی نشان داده شده در شکل 10a, دو عدد A [A1A0) و B [B1B0) را مقایسه می کند و خروجی با YA = B به صورت '2' تنظیم می شود اگر و تنها اگر A = B؛ در غیر این صورت مجموعه YA = B به صورت '0' تنظیم می شود. معادلات خروجی مقایسه کننده برای A = B عبارتتند از:

$$
\begin{aligned}
Y_{A=B} &= A_0^0A_1^0B_0^0B_1^0 + A_0^1A_1^0B_0^1B_1^0 + A_0^2A_1^0B_0^2B_1^0 \\
&\quad + A_0^0A_1^1B_0^0B_1^1 + A_0^1A_1^1B_0^1B_1^1 + A_0^2A_1^1B_0^2B_1^1 \\
&\quad + A_0^0A_1^2B_0^0B_1^2 + A_0^1A_1^2B_0^1B_1^2 + A_0^2A_1^2B_0^2B_1^2 \\
&= [A_0^0B_0^0 + A_0^1B_0^1 + A_0^2B_0^2] \\
&\quad \cdot [A_1^0B_1^0 + A_1^1B_1^1 + A_1^2B_1^2] \qquad (37)
\end{aligned}
$$

4.7.2 سه تایی کمتر از مقایسه کننده

سه تایی کمتر از مقایسه کننده نشان داده شده در شکل 10b, دو عدد A [A1A0) و B [B1B0) را مقایسه می کند و Y به عنوان خروجی '2' تنظیم می شود اگر و تنها اگر YA <B، در غیر این صورت YA <B به عنوان '0' تنظیم می شود. معادلات خروجی مقایسه کننده برای عملیات های B> عبارتند از:

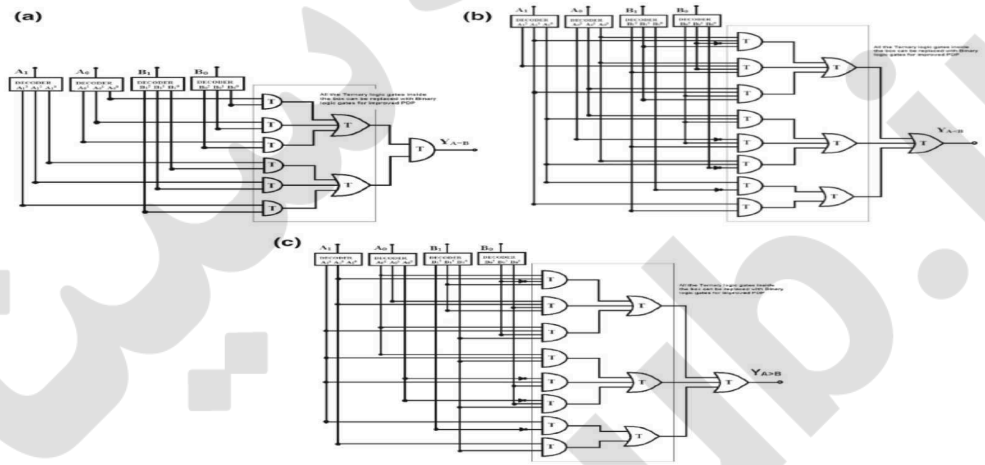
$$
\begin{aligned}
Y_{A<B} &= A_0^0A_1^1B_0^1B_1^1 + A_0^0A_1^2B_0^1B_1^2 + A_0^0A_1^1B_0^2B_1^1 \\
&\quad + A_0^1A_1^1B_0^2B_1^1 + 2A_1^0B_1^1 + 2A_1^0B_1^2 + 2A_1^1B_1^2 \\
&\quad + 2B_0^2B_1^2[A_0^0 + A_0^1] + A_0^0A_1^0B_0^1 \\
&\quad + 2A_1^0B_0^2[A_0^0 + A_0^1] \qquad (38)
\end{aligned}
$$

sina-pub.ir

sina-pub.ir

با استفاده از خنثی سازی روش لیترال ها، معادله خروجی مقایسه کننده برای عملیات A< B به معادله زیر کاهش می یابد

$$
\begin{aligned}
Y_{A<B} &= A_1^0 B_1^{12} + A_1^1 B_1^2 + A_0^0 A_1^0 B_0^{12} + A_0^{01} B_0^2 B_1^2 \\
&\quad + A_0^1 A_1^0 B_0^2 + A_0^0 A_1^1 B_0^{12} B_1^1 + A_0^1 A_1^1 B_0^2 B_1^1 \\
&\quad + A_0^0 A_1^2 B_0^1 B_1^2 \\
&= A_1^0 \overline{B_1^0} + A_1^1 B_1^2 + A_0^0 A_1^0 \overline{B_0^0} + \overline{A_0^2} B_0^2 B_1^2 \\
&\quad + A_0^1 A_1^0 B_0^2 + A_0^0 A_1^1 \overline{B_0^0} B_1^1 + A_0^1 A_1^1 B_0^2 B_1^1 \\
&\quad + A_0^0 A_1^2 B_0^1 B_1^2 \qquad (39)
\end{aligned}
$$



شکل. 10 مقایسه کننده 2 بیتی سه تایی مبتنی بر- CNTFET [A = B). b مقایسه کننده 2 بیتی سه تایی مبتنی بر CNTFET (A <B). مقایسه کننده سه تایی 2بیتی مبتنی بر- CNTFET-C (A> B)

4.7.3 سه تایی بیشتر از مقایسه کننده

یک سه تایی بیشتر از مقایسه کننده نشان داده شده در شکل 10c, دو عدد A [A1A0) و B [B1B0) را مقایسه می کند و خروجی YA> B به صورت '2' تنظیم می شود اگر و تنها اگر A> B، در غیر این صورت YA> B به صورت '0' تنظیم می شود. معادلات خروجی مقایسه کننده برای عملیات A> B عبارتند از:

sina-pub.ir

$$Y_{A>B} = A_0^2A_1^1B_0^0B_1^1 + A_0^1A_1^1B_0^0B_1^1 + A_0^2A_1^1B_0^1B_1^1 + A_0^2A_1^2B_0^1B_1^0 + A_0^2A_1^2B_0^1 + 2B_0^0B_1^0[A_0^1 + A_0^2] + 2A_1^2B_0^0[A_0^1 + A_0^2] + 2A_1^1B_1^0 + 2A_1^2B_1^1 + 2A_1^2B_1^0 \quad (40)$$

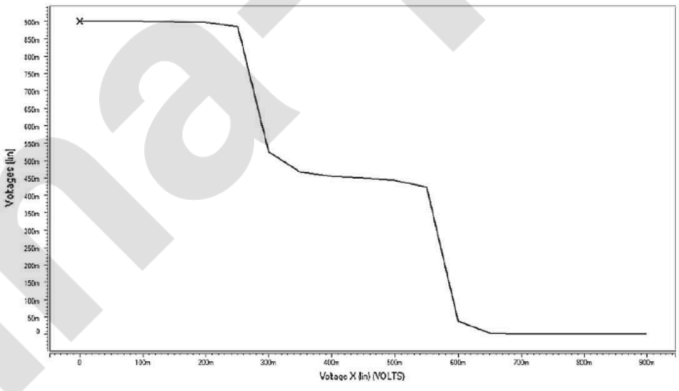
با استفاده از خنثی سازی روش لیترال، معادله خروجی مقایسه کننده برای عملیات A> B است به کاهش

$$\begin{aligned} Y_{A>B} &= A_0^2A_1^1B_0^{01}B_1^1 + A_0^1A_1^1B_0^0B_1^1 + A_0^2A_1^2B_0^1B_1^0 \\ &+A_0^2A_1^2B_0^1 + A_0^{12}A_1^2B_0^0 + A_0^{12}B_0^0B_1^0 \\ &+A_1^1B_1^0 + A_1^2B_1^{01} \\ &= A_0^2A_1^1\overline{B_0^2}B_1^1 + A_0^1A_1^1B_0^0B_1^1 + A_0^2A_1^2B_0^1B_1^0 \\ &+A_0^2A_1^2B_0^1 + \overline{A_0^0}A_1^2B_0^0 + \overline{A_0^0}B_0^0B_1^0 + A_1^1B_1^0 \\ &+A_1^2\overline{B_1^2} \end{aligned} \quad (41)$$

تعداد مورد نیاز گیت ها برای مدار مقایسه کننده سه تایی معمولی, 41 است در حالی که برای استفاده از خنثی سازی پیشنهادی, 31 است.

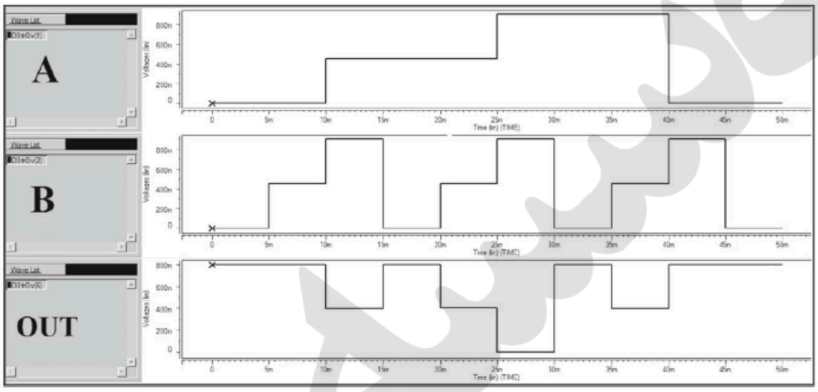
5 نتایج و بحث

شبیه ساز HSPICE Synopsys برای شبیه سازی مدارهای ترکیبی بر اساس منطق-سه تایی استفاده می شود. تجزیه و تحلیل در سه سطح انجام می شود:

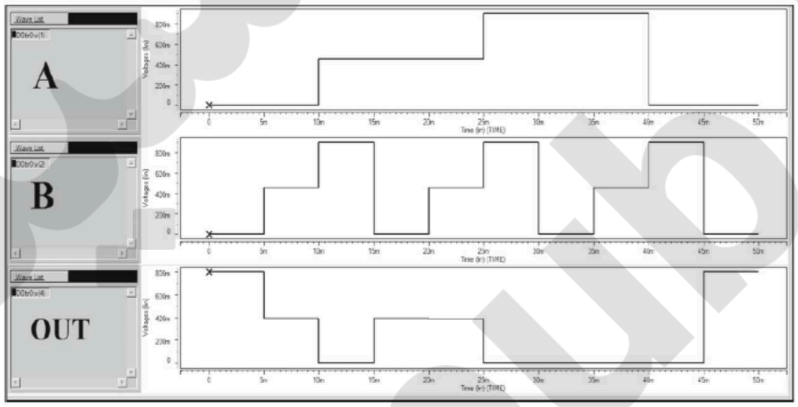


sina-pub.ir

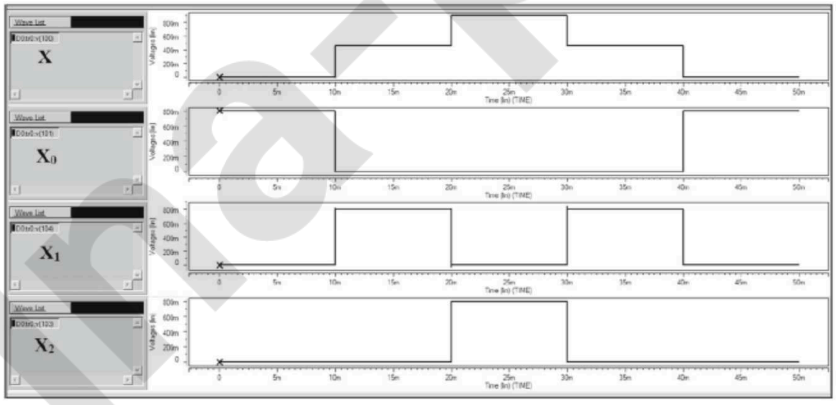
شکل. 11 پاسخ گذرای اینورتر سه تایی



شکل. 12 رفتار NAND سه تایی

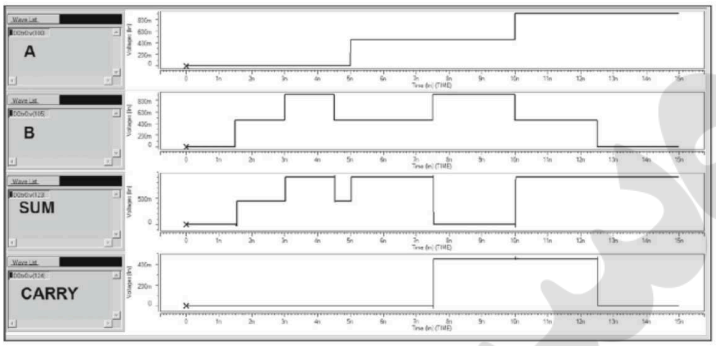


شکل. 13 رفتار NOR سه تایی

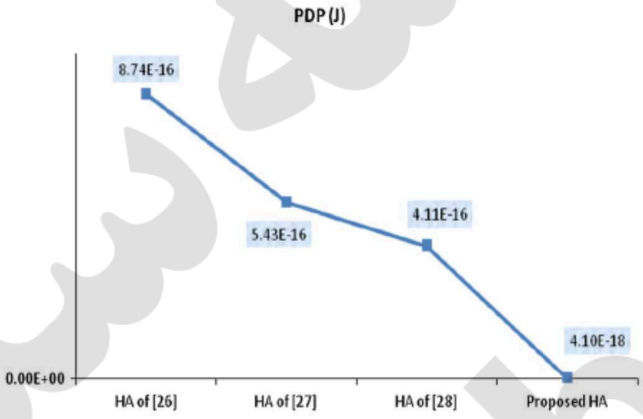


شکل. 14 پاسخ گذرای دیکدر (کدگشا) سه تایی

sina-pub.ir



شکل. 15 پاسخ گذرای نیمه جمع کننده سه تایی



شکل. 16 مقایسه PDP نیمه جمع کننده پیشنهادی و موجود

(i) استفاده از گیت های منطقی سه تایی به تنهایی.

(ii) با استفاده از ترکیبی از گیت منطق سه گانه و باینری، عملکرد را می توان به طور قابل توجهی بهبود داد اگر سه گانه و گیت های منطق دودویی به شیوه ای ترکیبی استفاده شوند تا از شایستگی های مربوطه آنها استفاده شود, زیرا منطق دودویی نامزد خوبی برای ماژول های محاسباتی سریع است.

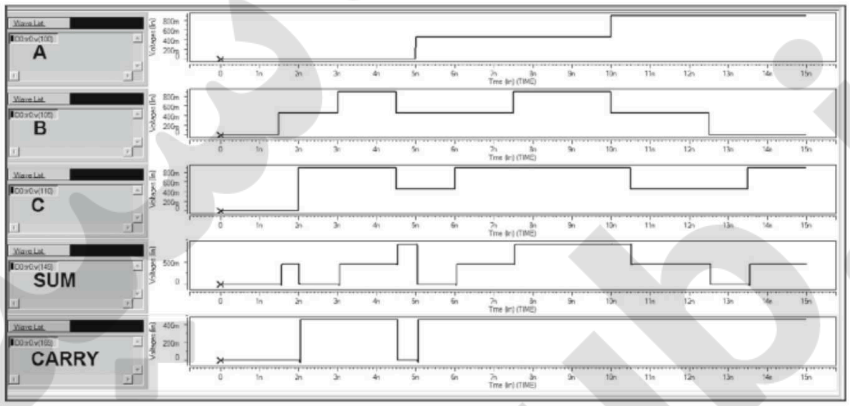
(iii) با استفاده از روش خنثی سازی لیترال ها، با توجه به کاهش تعداد ترانزیستورها, این طرح پیشنهادی به صرفه جویی در توان و تاخیر منجر می شود و صرفه جویی قابل توجهی در مساحت نیز حاصل می شود.

این تجزیه و تحلیل ها, CNTFET هایی را فرض می کنند که از نانولوله های کربنی همگن، یکسان ساخته شده اند، یعنی نانولوله نیمه های هادی موازی به خوبی همتراز شده که دارای همان کایرالیته، همان سطح دوپینگ، همان زمین بین CNT و خازن اتصال محلی است و عیوب CNT را شامل نمی شود. افزایش در تعداد نانولوله های کربنی

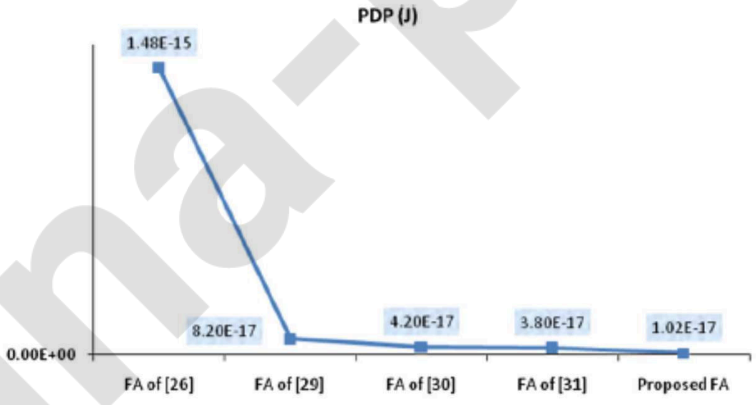
sina-pub.ir

در هر دستگاه، موثر ترین راه برای بهبود سرعت مدار است. در این مقاله، تعداد نانولوله های کربنی در هر دستگاه از 1 تا 3 افزایش می یابد تا سبک سنگین کردن بین سرعت و انرژی ارزیابی شود.

شکل 11 ویژگی های انتقال ولتاژ STI را نشان می دهد. در مقایسه با طراحی STI پیشنهاد شده توسط Raychowdhury و همکاران [25]، طرح پیشنهادی STI یک حاشیه نویز بزرگتر را فراهم می کند و به نوسان خروجی ریل به ریل دست می یابد که به شدت برای مدارات منبع کم توان مورد نیاز است. نتایج شبیه سازی نشان داد که HSPICE PDP از STI برابر با 5.22×10^{-17} J و PDP از STI در [25] برابر با 2.07×10^{-16} J است. طرح پیشنهادی به بیش از 350٪ بهبود PDP می رسد [25].



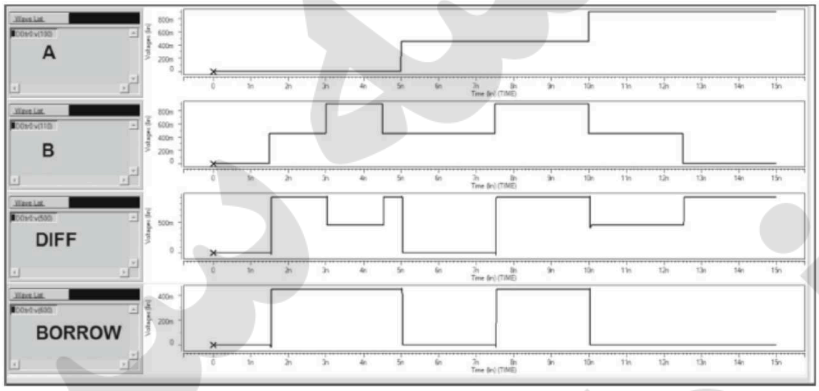
شکل. 17 پاسخ گذرای تمام جمع کننده سه تایی



شکل. 18 مقایسه کننده PDP تمام جمع کننده های پیشنهادی و موجود

sina-pub.ir

شکل 12 و 13, به ترتیب رفتار گیت های سه تایی NAND و NOR را نشان می دهد که از آن عملکرد مناسب مدارها برای متغیرهای ورودی مختلف مشاهده می شود. تاخیر متوسط و توان متوسط مصرف شده توسط NAND سه تایی به ترتیب 7.47×10^{-12} s و 1 ,1.95×10^{-7} W هستند. بنابراین، محصول تاخیر توان 1.46×10^{-18} J است. تاخیر متوسط و توان متوسط مصرف شده توسط سه تایی NOR به ترتیب 4.99×10^{-12} و 2.57×10^{-7} W, هستند. بنابراین، محصول تاخیر توان 1.28×10^{-18} J. است.



شکل. 19 پاسخ گذرای نیمه کم کننده سه تایی

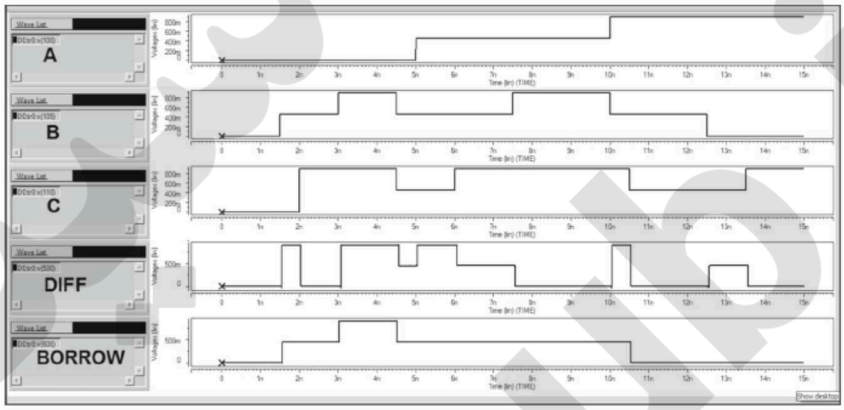
شکل 14, پاسخ گذرای مدار دیکدر (کدگشا) سه تایی را نشان می دهد. با استفاده از شبیه سازی های HSPICE، تاخیر متوسط و توان متوسط مصرف شده توسط دیکدر (کدگشا) سه تایی طراحی محاسبه شده به ترتیب 4.24×10^{-11} و 1.2×10^{-7} W, بودند. بنابراین، محصول تاخیر توان 5.10×10^{-17} J است.

شکل 15 پاسخ گذرای مدار نیمه جمع کننده سه تایی را نشان می دهد. با استفاده از شبیه سازی های HSPICE، تاخیر متوسط و توان متوسط مصرف شده توسط طراحی نیمه جمع کننده سه تایی به ترتیب برابر با 0.52×10^{-11} s و 0.77×10^{-6} W, محاسبه می شود. بنابراین، محصول تاخیر توان برابر با 0.041×10^{-16} J (Neg) است در حدود 29 برابر کمتر از منطق سه گانه (TER)، 17 برابر کمتر از منطق سه گانه-باینری (Ter)، 145 برابر کمتر از مدار Subhajit و همکاران [26]، 134 برابر کمتر از مدار

sina-pub.ir

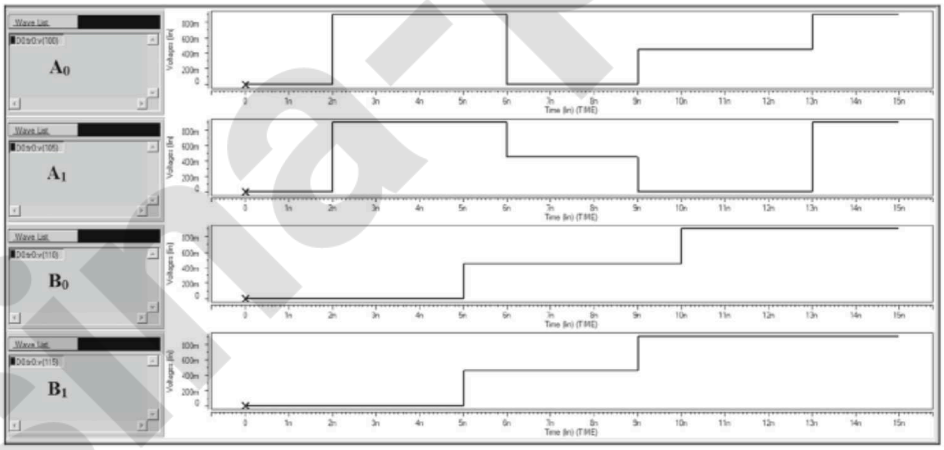
Dhande و همکاران [27] و 100 برابر کمتر از مدار Sheng Lin و همکاران. [28] است (نشان داده شده در شکل 16).

شکل 17 پاسخ گذرای مدار تمام جمع کننده سه گانه را نشان می دهد. با استفاده از شبیه سازی های HSPICE، تاخیر متوسط و توان متوسط مصرف شده توسط تمام جمع کننده سه گانه طراحی شده برابر با 0.96×10^{-11} s و 1.06×10^{-6} W. محاسبه می شود. بنابراین، محصول تاخیر توان $\times 10^{-16}$ J 0.102 است که حدود 21 برابر کمتر از منطق سه گانه، 13 برابر کمتر از منطق سه گانه-باینری، 145 برابر کمتر از تمام جمع کننده طراحی شده توسط Subhajit و همکاران است. [26] و 4 تا 5 برابر کمتر از تمام جمع کننده طراحی شده توسط Navy و همکاران [29-31] است (نشان داده شده در شکل 18).

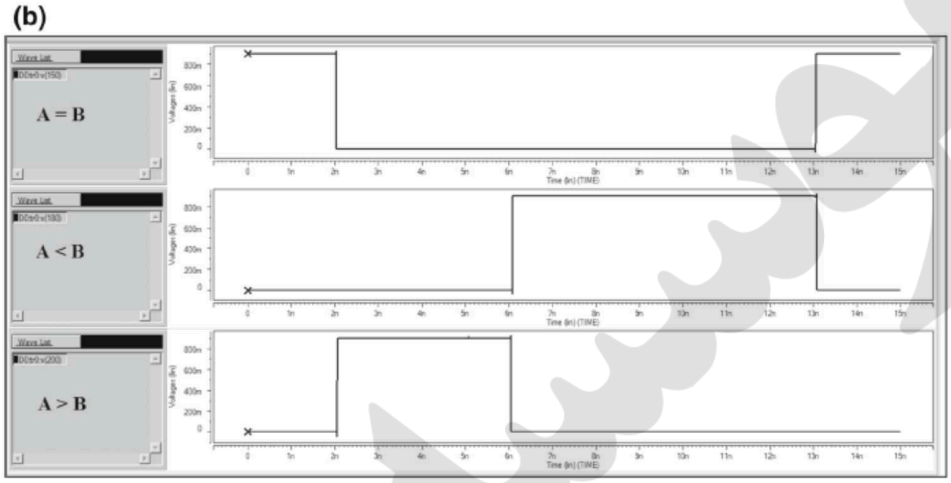


شکل. 20 پاسخ گذرای کم کننده کامل سه تایی

(a)



sina-pub.ir



شکل. 21 رفتار ورودی-a0 مقایسه کننده 2 بیتی، A1، B1 B0 و. B رفتار 2 بیتی مقایسه کننده خروجی A = B، A <B & A> B

شکل 19 پاسخ گذرای مدار نیمه کم کننده سه تایی را نشان می دهد. با استفاده از شبیه سازی های HSPICE، تاخیر متوسط و توان متوسط مصرف شده توسط طراحی نیم کم کننده سه تایی برابر با 0.71×10^{-11} s و 0.99×10^{-6} W، محاسبه می شود. بنابراین، محصول تاخیر توان 0.069×10^{-16} J است که حدود 17 برابر کمتر از منطق سه گانه و 12 بار کمتر از منطق سه گانه-باینری است.

جدول 3 مقایسه بین مدارهای ترکیبی CNTFET

Combinational circuit	Average delay ($\times 10^{-11}$ s)			Average power ($\times 10^{-6}$ W)			PDP ($\times 10^{-16}$ J)		
	Ter	Ter–Bin	Neg	Ter	Ter–Bin	Neg	Ter	Ter–Bin	Neg
Full adder	5.32	3.41	.96	4.04	3.87	1.06	2.15	1.32	.102
Half adder	4.13	2.48	.52	2.87	2.77	.77	1.19	.686	.041
Full subtractor	6.55	3.72	.88	3.87	3.66	1.77	2.53	1.36	.155
Half subtractor	5.47	3.97	.71	2.20	2.16	.99	1.20	.857	.069
Comparator	20.00	17.6	9.11	10.3	6.35	2.56	20.6	11.2	2.33

جدول 4 مقایسه طرح پیشنهادی با طراحی موجود

sina-pub.ir

Circuit	Average power (W)	Average delay (s)	PDP (J)
FA of [26]	2.4×10^{-7}	6.2×10^{-9}	14.8×10^{-16}
FA of [29]	1.05×10^{-6}	7.83×10^{-11}	8.2×10^{-17}
FA of [30]	7.83×10^{-7}	5.36×10^{-11}	4.2×10^{-17}
FA of [31]	3.32×10^{-7}	1.14×10^{-10}	3.8×10^{-17}
Proposed FA	1.06×10^{-6}	0.96×10^{-11}	1.02×10^{-17}
HA of [26]	1.9×10^{-7}	4.6×10^{-9}	8.74×10^{-16}
HA of [27]	–	–	5.43×10^{-16}
HA of [28]	–	–	4.11×10^{-16}
Proposed HA	7.7×10^{-7}	0.52×10^{-11}	$.041 \times 10^{-16}$

شکل 20, پاسخ گذرای مدار سه تایی کم کننده کامل را نشان می دهد. با استفاده از شبیه سازی های HSPICE، تاخیر متوسط و توان متوسط مصرف شده توسط کم کننده کامل سه تایی طراحی به ترتیب برابر با 0.88×10^{-11} s و 1.77×10^{-6} W, محاسبه می شود. بنابراین، محصول تاخیر توان 0.155×10^{-16} J است که حدود 16 برابر کمتر از منطق سه گانه و 9 برابر کمتر از منطق سه گانه-باینری است.

شکل 21a,b پاسخ گذرای مقایسه کننده سه تایی پیشنهادی را را نشان می دهد. با استفاده از شبیه سازی های HSPICE، تاخیر متوسط و توان متوسط مصرف توسط مقایسه کننده سه تایی به ترتیب برابر با 9.11×10^{-11} s و 2.56×10^{-6} W, محاسبه می شود. بنابراین، محصول تاخیر توان 2.33×10^{-16} Jاست که در حدود 9 برابر کمتر از منطق سه گانه و 5 برابر کمتر از منطق سه گانه-باینری است.

مقدار برق مصرفی متوسط، متوسط تاخیر و PDP مدارهای پیشنهادی و موجود در جداول 3 و 4 داده شده است.

شکل 22a-c, مقایسه تاخیر متوسط، توان متوسط و محصول تاخیر توان مدارهای ارائه شده را با سه روش مختلف مانند استفاده از گیت های منطقی سه تایی، ترکیبی از گیت منطق سه گانه-باینری و روش خنثی سازی پیشنهادی لیترال ها نشان می دهد.

رویکرد پیشنهادی خنثی سازی لیترال ها, تعداد ضرب ها در عبارات SOP (مجموع ضرب ها) معادلات خروجی (معادلات (27)، (30)، (33)، (36)، (39)، (41)) مدارهای ترکیبی را کاهش می دهد. این کار موجب دستیابی به تعدادی از مزایا می شود: کاهش در تعداد دستگاه های 10 تا 35٪ مربوط به کاهش در تغییر فعالیت ها، کاهش پیچیدگی محاسباتی، کاهش در زمان محاسباتی اعم از 75 تا 95٪ با کاهش تعداد تکرار (محدوده از 27 تا 43٪) و

sina-pub.ir

کاهش در خطای خروجی 29٪ (سه تایی-دودویی) به 6 درصد نسبت به منطق سه گانه. بنابراین، روش پیشنهادی در مدارهای ترکیبی دارای برخی از مزایای قابل توجه نسبت به دیگر مدارهای سه تایی مانند اتلاف توان کم ، کاهش زمان انتشار و نیز کاهش تعداد دستگاه ها است.

از شکل C22، می توان نشان داد که طرح پیشنهادی 5-29 برابر بهبود را در PDP نسبت به دو طرح موجود ارائه می دهد.

مقایسه بر اساس تعداد گیت مورد استفاده برای طراحی مدارهای مختلف در شکل 23 نشان داده شده است که نشان می دهد که کاهش قابل توجه در تعداد گیت می تواند با استفاده از روش پیشنهادی به دست آید که منجر به کاهش در مساحت تراشه می شود.

6. نتیجه گیری

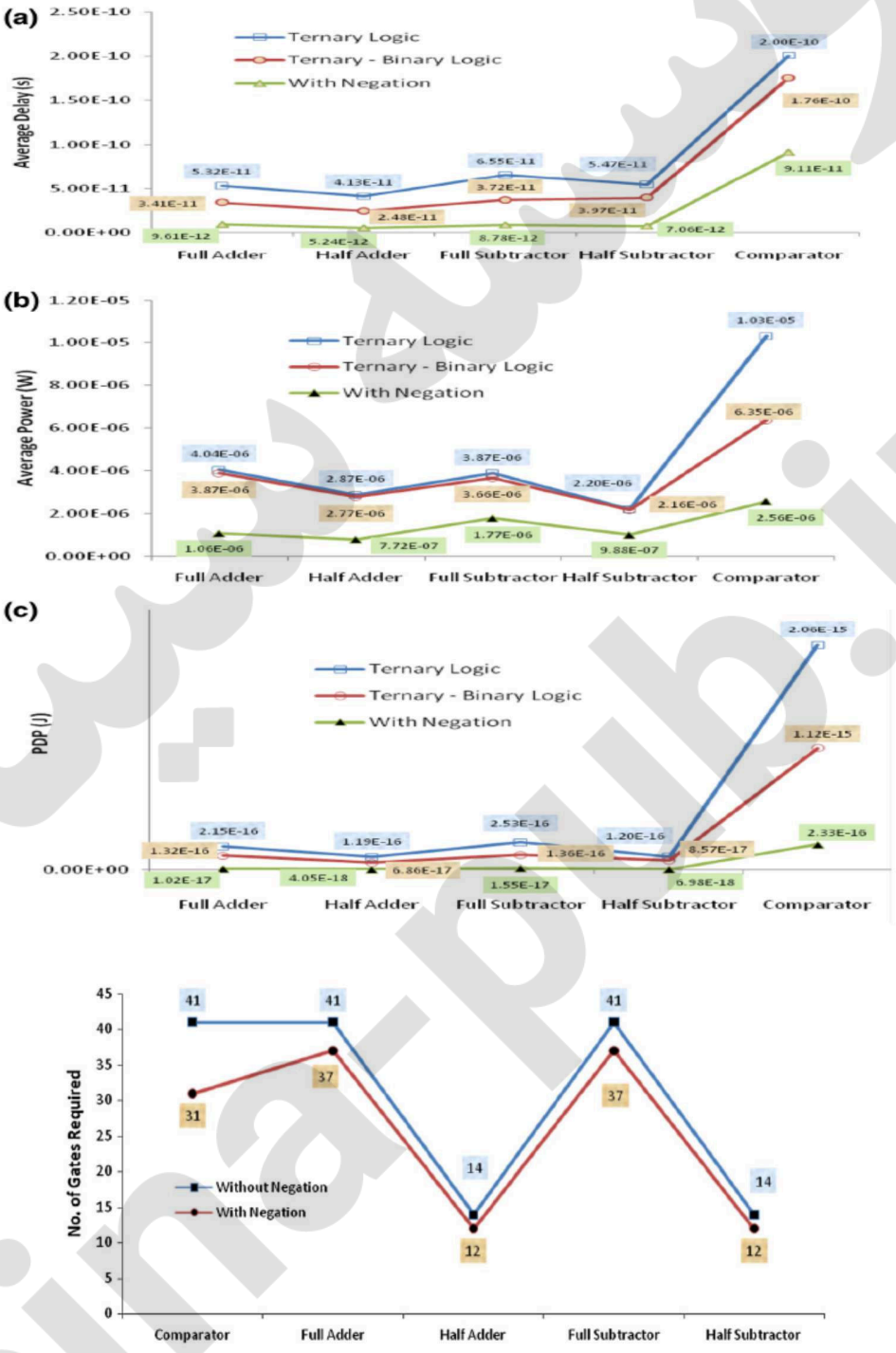
چشم اندازهای استفاده از منطق سه گانه در محاسبات در این مقاله بحث شده است. زمانی که قطر CNT مورد استفاده در CNTFET, ولتاژ آستانه ترانزیستور را تعیین می کند، یک طراحی چند آستانه با استفاده از نانولوله های کربنی با قطرهای مختلف در CNTFET ها به دست آمد که برای تحقق مدارهای منطق سه تایی استفاده می شود. تمام شبیه سازی ها در HSPICE انجام شده است و نتایج شبیه سازی معتبر عملکرد صحیح از مدارهای تحقق می یابد. مقایسه صورت گرفته بین منطق دوتایی و سه تایی نشان داد که مدارهای طراحی شده با استفاده از منطق سه گانه و ترکیبی از منطق سه گانه و باینری سریع تر از مدار کلاسیک دودویی و کار در توان و حتی پایین تر پیش بینی می شود. همچنین با توجه به کاهش تعداد ترانزیستورها, طراحی منطق سه گانه پیشنهادی با استفاده از روش خنثی سازی لیترال به توان پایین و تاخیر قابل توجهی می رسد و صرفه جویی قابل توجهی در مساحت را می تواند راه حل سریع و کم توان برای محاسبات دیجیتال در مقایسه با خانواده های منطق سه گانه موجود برای مدارهای حسابی باشد. نرخ پردازش بالاتر را می توان با گسترش سطح منطق موجود به سطح منطق بالاتر با استفاده از روش پیشنهادی به دست آورد.

شکل. 22 یک مقایسه کننده از توان متوسط از مدارهای ترکیبی CNTFET.

sina-pub.ir

b مقایسه میانگین تاخیر از مدارهای ترکیبی CNTFET.

C مقایسه PDP از مدارهای ترکیبی CNTFET



شکل. 23 مقایسه بر اساس تعداد گیت مورد استفاده